

Classe :5B IPMM

A.S. : 2019-2020

Docente :Tufoni Franco

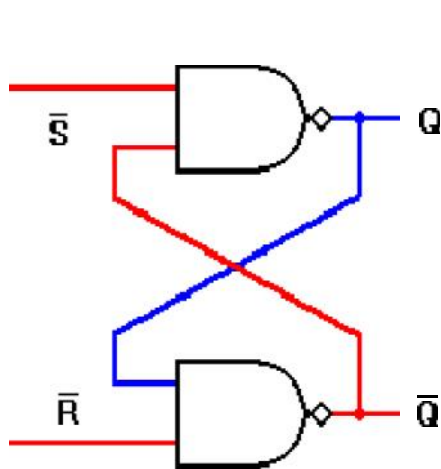
Disciplina: Tecnologie elettriche-elettroniche, dell'automazione e applicazioni

**Da completare**

## Reti Sequenziali

### Flip – Flop

*Open Source*



S	1	1	0	1	0	1
R	0	1	1	1	0	1
Q	0	0	1	1	1 or 0	?
Q̄	1	1	0	0	1 or 0	?
	Set	No Change	Reset	No Change	Invalid	Unknown States

Alunno : *Cognome Nome*

<b>Indice</b>	
<b>1.1 Premessa</b>	<b>2</b>
<b>1.2 Flip Flop SR (Set-Reset)</b>	<b>3</b>
1.2.1 Flip Flop SR con porte NOR	3
1.2.2 Flip Flop SR con porte NAND	4
1.2.3	5
<b>1.3</b>	<b>6</b>
1.3.1	
1.3.2	
<b>1.4 Flip Flop D</b>	<b>8</b>
<b>1.5 Flip Flop T</b>	<b>10</b>

## 1.1 Premessa

I Flip Flop (FF) sono circuiti digitali sequenziali che hanno il compito di memorizzare un bit (0,1). Un circuito digitale si dice sequenziale se l'uscita dipende dagli ingressi applicati e dallo stato precedente della stessa uscita.

Un circuito sequenziale, pertanto, deve ricordare il suo stato precedente e quindi deve possedere uno o più elementi di memoria.

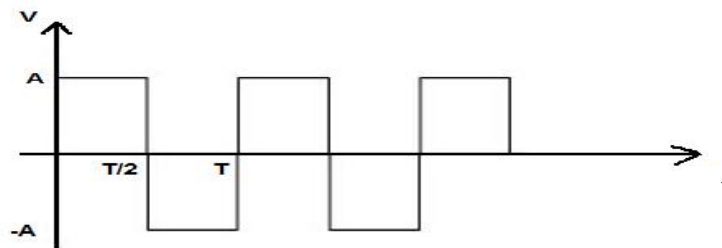
Rientrano in questa categoria i contatori, i registri e le memorie in generale.

I circuiti digitali si dividono in due fondamentali categorie:

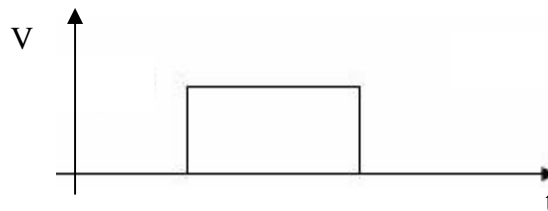
- ) **Combinatori:** il valore dell'uscita dipende solo dal valore dei bit applicati in ingresso, ad esempio le porte logiche, circuiti con porte logiche, multiplexer, decoder.
- ) **Sequenziali:** il valore dell'uscita dipende dal valore dei bit applicati in ingresso e dal suo stato precedente, ad esempio Flip Flop, contatori, registri, memorie.

I Flip Flop (FF) sono noti, anche, come multivibratori bistabili perché ciascuno degli stati logici (0 e 1) può essere reso stabile nel tempo. I multivibratori si dividono in:

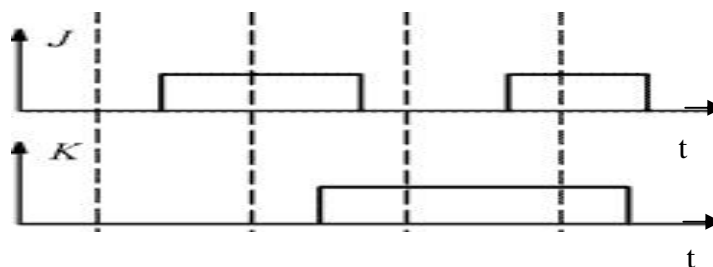
- ) **Astabili:** nessuno stato stabile, ad esempio i generatori di onde quadre o i lampeggiatori.



- ) **Monostabili:** un solo stato stabile, ad esempio temporizzatori o le luci delle scale.



- ) **Bistabili:** due possibili stati stabili, ad esempio una cella di memoria o un interruttore.



## 1.2 Flip Flop SR (Set-Reset)

Il più semplice dispositivo memoria è il flip flop set-reset.

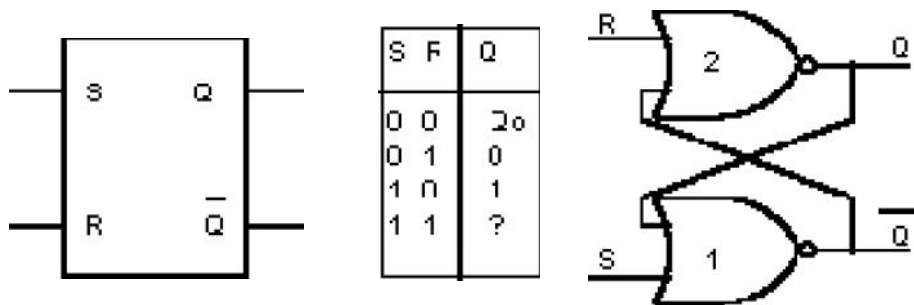
- ) **Set** = memorizzare
- ) **Reset** = azzerare

Esso possiede due ingressi denominati Set (S) e Reset (R) e due uscite denominate Q e Q negato. Nel Flip Flop l'uscita dipende dagli ingressi e dallo stato precedente.

Lo stato precedente viene spesso indicato con  $Q_0$ .

### 1.2.1 Flip Flop SR con porte NOR

In figura il simbolo logico, la tabella della verità e il circuito con porte logiche NOR.



### Funzionamento

- ) **Combinazione SR = 00**  
Combinazione di riposo l'uscita conserva lo stato precedente ( $Q = Q_0$ )
- ) **Combinazione SR = 01**  
L'uscita Q si porta a 0 indipendentemente dallo stato precedente (fase di Reset)
- ) **Combinazione SR = 10**  
L'uscita Q si porta a 1 indipendentemente dallo stato precedente (fase di Set, memorizzazione)
- ) **Combinazione SR = 11**  
Combinazione da evitare nel Flip Flop di tipo NOR perché l'uscita Q non è diversa da Q negato.

Tale Flip-Flop viene spesso utilizzato per funzionare nel modo seguente.

- ) Se si vuole memorizzare 1 si pone:  $S=1$  e  $R=0$ . Successivamente si torna nello stato di riposo:  $S=0$  e  $R=0$ . In tal caso l'uscita conserva lo stato precedente:  $Q=Q_0=1$ .
- ) Se si vuole memorizzare 0 si pone:  $S=0$  e  $R=1$ . Successivamente si torna nello stato di riposo:  $S=0$  e  $R=0$ . In tal caso l'uscita conserva lo stato precedente:  $Q=Q_0=0$ .

## 1.2.2 Flip Flop SR con porte NAND

Si riporta in fig.2 lo schema logico del flip-flop realizzato a porte NAND.

Qui gli ingressi sono indicati con le lettere A e B che, sostanzialmente, si comportano come gli ingressi S ed R del precedente flip-flop a porte NOR con la differenza che gli ingressi sono attivi in logica negativa. In altre parole i flip-flop di fig.1 e di fig.2 coincidono nella funzione logica purché si ponga:

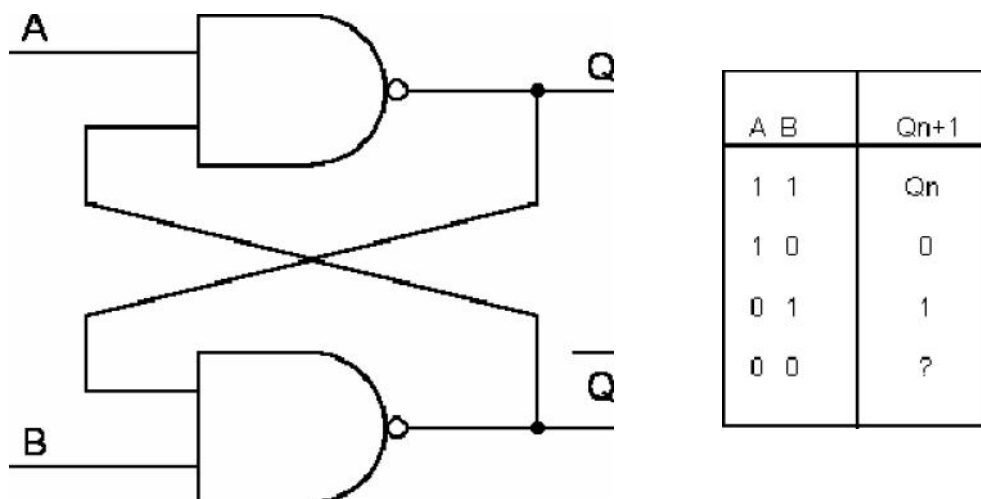
$$A = S, \quad B = R$$

Ponendo  $AB=10$  si realizza la funzione di reset per cui l'uscita Q si porta a 0.

Ponendo  $AB=01$  si realizza la funzione di set per cui l'uscita Q si porta a 1.

Ponendo  $AB=11$  si realizza la funzione di memoria per cui l'uscita conserva il precedente valore memorizzato.

$AB=00$  è la combinazione da evitare sia per incongruenza logica sia perché porterebbe entrambe le uscite al valore 1 e quindi non sarebbero una il complemento dell'altra.



**Fig.2 – Flip-flop S-R con porte NAND. Soluzione circuitale e tabella della verità .**

**Q<sub>N+1</sub> = Stato attuale**

**Q<sub>N</sub> = Stato precedente**

### **SEGNALE DI CLOCK**

Il clock è un segnale digitale (onda quadra o rettangolare) caratterizzato dai seguenti parametri.

1. T = Periodo (s)
  2. F = Frequenza (Hz)  $f = 1/T$  (numero di oscillazioni in un secondo)
  3. Livello basso (0, Low)
  4. Livello alto (1, High)
  5. Fronte di salita = passaggio da 0 a 1 (da basso ad alto)
  6. Fronte di discesa = passaggio da 1 a 0 (da alto a basso)
  7. Tempo livello alto (tH)
  8. Tempo livello basso (tL)  $T = tL + tH$
  9. Duty cycle (ciclo utile) spesso indicato in percentuale e viene determinato tramite la seguente formula  $D\% = tH/T * 100$
- Se D% è uguale al 50% significa che il livello alto è uguale al livello basso (tL = tH)

Il segnale si chiama onda quadra.

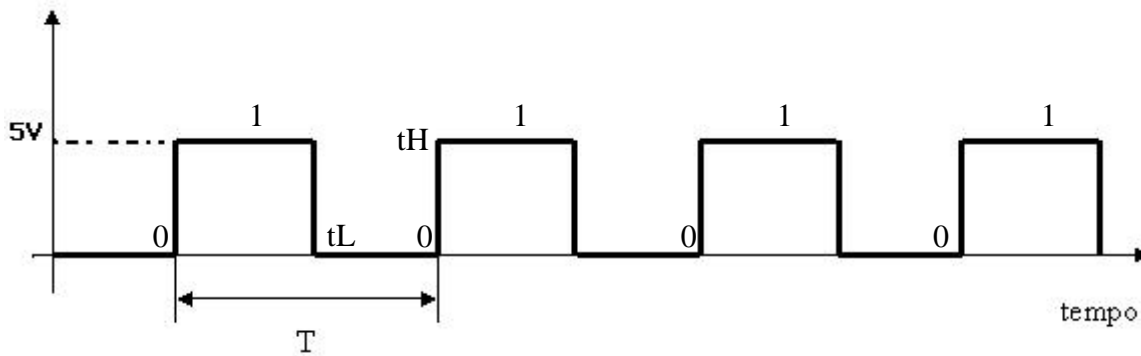
Se  $t_H$  è diverso da  $t_L$  il Duty Cycle è diverso del 50%

Il segnale si chiama onda rettangolare.

Si possono verificare due casi:

a)  $t_H > t_L \rightarrow D\% > 50\%$

b)  $t_H < t_L \rightarrow D\% < 50\%$



### FLIP-FLOP SINCRONIZZATI

Spesso l'eventuale cambiamento di stato di un flip-flop non si fa coincidere con l'istante in cui si modificano i valori dei bit di ingresso ma con l'istante in cui un ulteriore ingresso, detto ingresso di sincronismo o ingresso di clock e denominato con la sigla CK, va da 1 a 0 oppure da 0 a 1.

Un flip-flop che funziona col clock prende il nome di flip-flop *sincronizzato*.

I flip-flop esaminati nelle figure 1e 2, invece, essendo privi di ingresso di clock, sono denominati flip-flop Set Reset *asincroni*.

Il flip-flop si dice *attivo sul livello* quando il clock è caratterizzato da un livello logico (0 o 1) applicato all'omonimo ingresso.

Il flip-flop si dice *attivo su fronti* (edge triggered) quando l'eventuale modifica dello stato di uscita dipende dal *fronte positivo* o di salita (PET = Positive Edge Triggered) o dal *fronte negativo* o di discesa (NET = Negative Edge Triggered).

Sui dice, anche, che l'uscita si aggiorna nel:

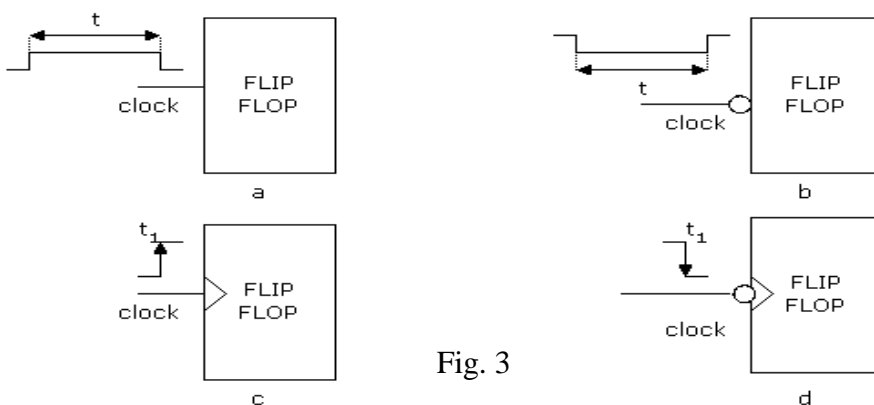


Fig. 3

Fig.3 - Flip-flop sensibili ai livelli ed alle transizioni..

Il flip-flop "a" è sensibile al livello logico 1 e funziona nell'intervallo di tempo t.

Il flip-flop "b" è sensibile al livello logico 0 durante il tempo t.

Il flip-flop "c" è di tipo PET e funziona solo nell'istante  $t_1$ .

Il flip-flop "d", infine, è di tipo NET e funziona solo nell'istante  $t_1$ .

#### 4. Flip-flop JK

I flip flop visti in precedenza hanno sempre una condizione non ammessa (00 nel FF set-reset a porte nand, 11 nel FF set-reset a porte nor).

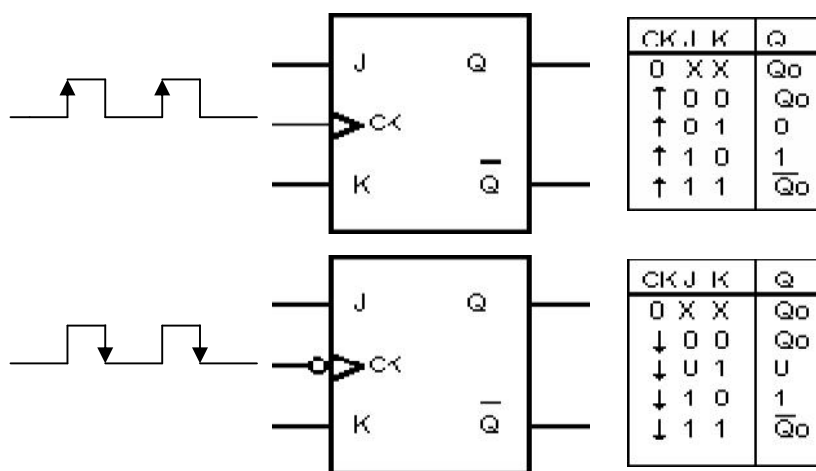
I FF-JK sono strutturati in modo tale da eliminare la condizione non ammessa.

Il FF-JK è un dispositivo integrato a due ingressi denominati J e K che operano in modo analogo alle entrate S ed R di un FF-SR con la differenza che se:

J=1 e K=1 l'uscita commuta sempre allo stato precedente negato, se è presente 0 passa 1, mentre se è presente 1 passa 0.

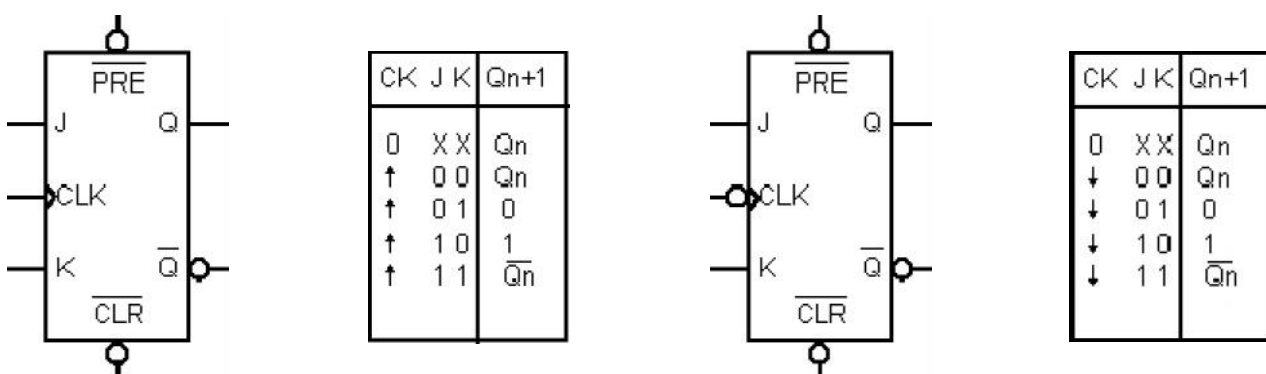
Per evitare commutazioni multiple, nel caso si lasci a lungo la combinazione J=1 e K=1, il FF-JK deve essere necessariamente sincronizzato con un segnale di clock.

In figura sono riportati 2 FF-JK con le rispettive tabelle di funzionamento, il primo sincronizzato sul fronte di salita e il secondo sincronizzato sul fronte di discesa.



Il primo flip flop JK si dice di tipo PET (Positive Edge Triggered), il secondo, invece, si dice di tipo NET (Negative Edge Triggered).

Si mostrano, in fig.6, i simboli logici e le tabelle della verità di due diversi flip-flop JK, il primo di tipo PET ed il secondo di tipo NET, con ingressi asincroni di preset (PRE) e di clear (CLR).



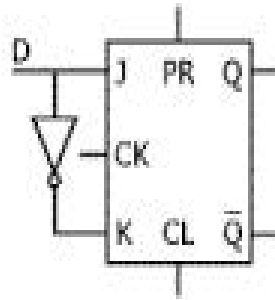
La maggior parte dei flip-flop integrati presentano, inoltre, ingressi asincroni di preassegnazione a 1 (PRE) e/o di azzeramento (CLR clear).

Quelli indicati in figura sono attivi bassi: se, ad esempio, si applica un livello logico basso sulla linea PRE, il flip-flop memorizza 1 indipendentemente dal clock; se, invece, si applica un livello logico basso sulla linea CLR, il flip-flop memorizza 0 indipendentemente dal clock.

## Flip Flop tipo D

Il flip flop D si trova integrato e deriva dal JK ha un solo ingresso denominato D.

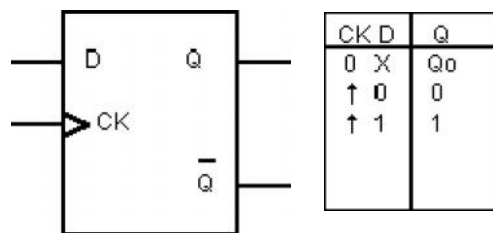
All'interno dell'integrato tra il terminale J e K è collegata una porta NOT come indicato in figura



Il flip flop D, spesso sincrono, funziona nel seguente modo:

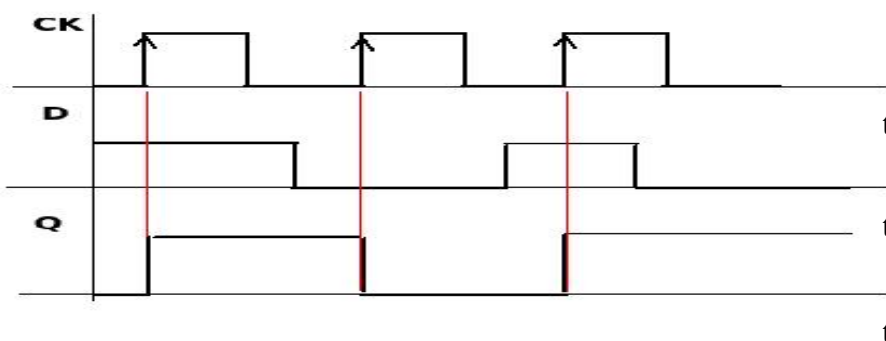
- ) l'uscita Q assume lo stesso valore applicato all'ingresso D quando è attivo il segnale di clock;
- ) quando non è attivo il clock l'uscita conserva lo stato precedente indipendentemente dal valore applicato all'ingresso D.

In figura è riportato il simbolo logico e la sua tabella di funzionamento



Il simbolo D è l'abbreviazione di delay (ritardo), rappresenta il ritardo tra l'uscita Q e l'ingresso D. Il flip-flop D rappresenta l'elemento fondamentale delle memorie centrali degli elaboratori (almeno a livello concettuale).

In figura è riportato un diagramma temporale del Flip Flop D che mostra un esempio di funzionamento.



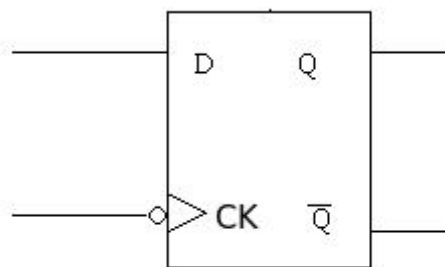
Clock attivo sul fronte di salita

L'uscita Q è uguale all'ingresso D in corrispondenza del fronte di salita del clock (tratto verticale indicato in rosso).

In tutti gli altri istanti l'uscita mantiene lo stato precedente.



Nella figura seguente è riportato un esempio di diagramma temporale con il Clock attivo sul fronte di discesa.



Simbolo

CK	D	Q
0	X	$Q_0$
1	X	$Q_0$
	0	0
	1	1

Tabella

Si noti il simbolo di negazione (il "pallino") sull'ingresso CK che sta a indicare che il segnale è attivo sul fronte di discesa.

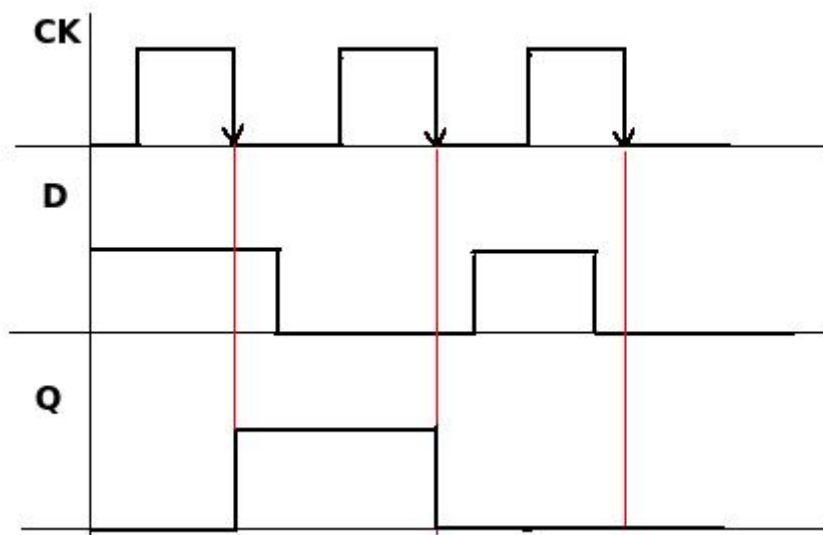
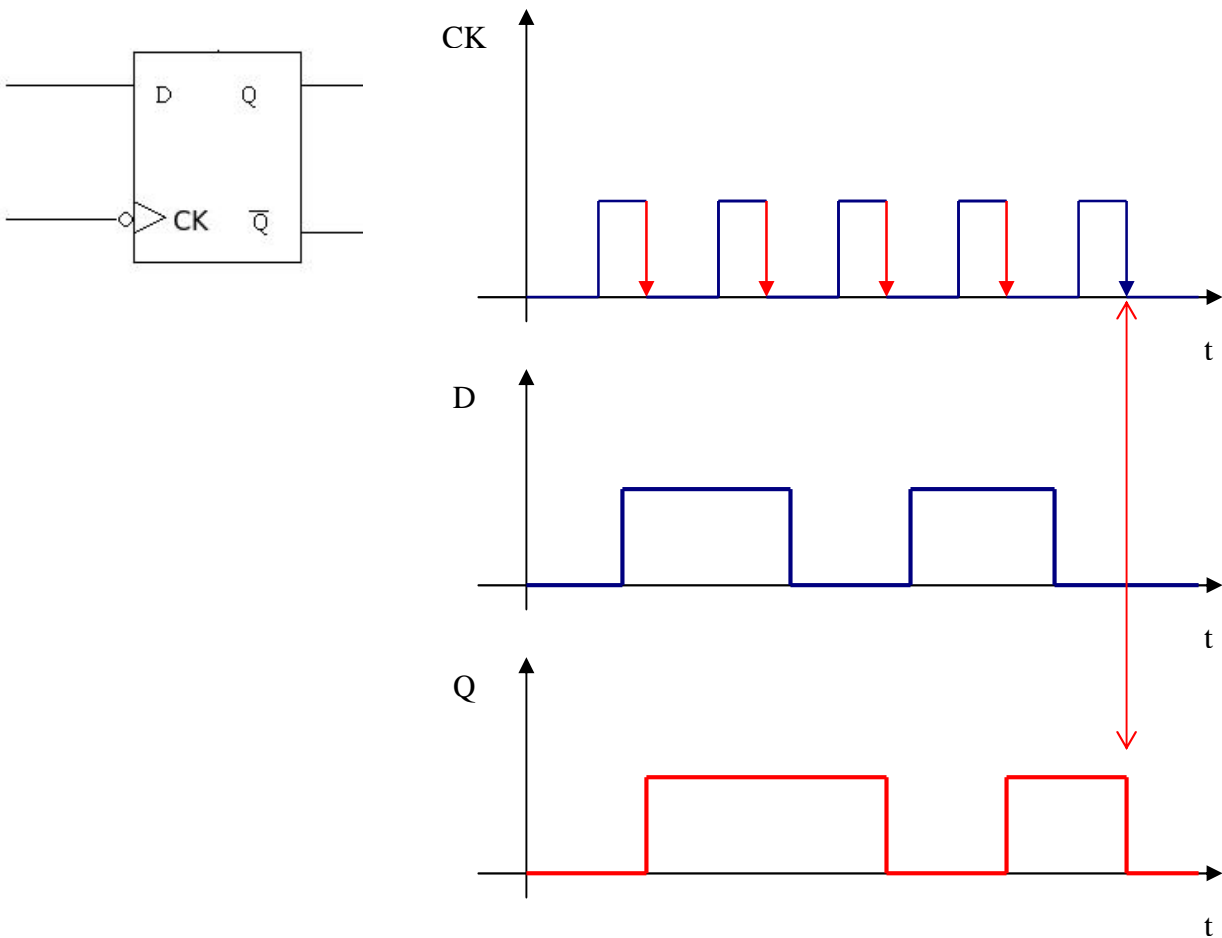


Diagramma temporale

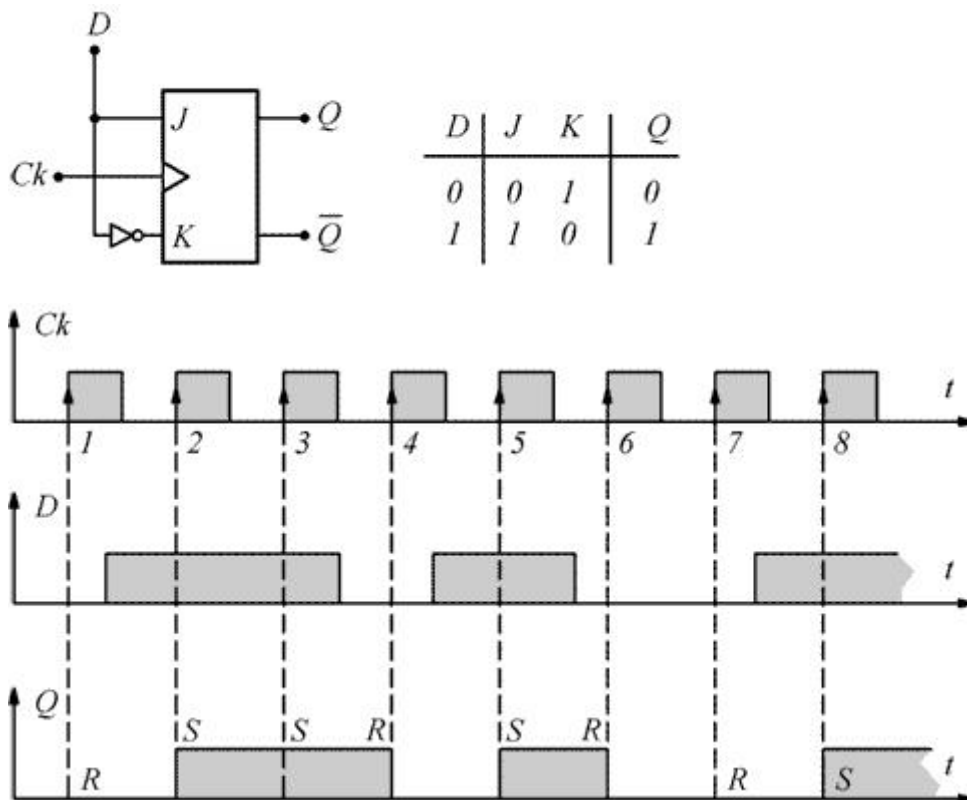
### Esercizio-1 Flip Flop D:

Assegnato il Flip Flop D di figura determinare il diagramma temporale completo



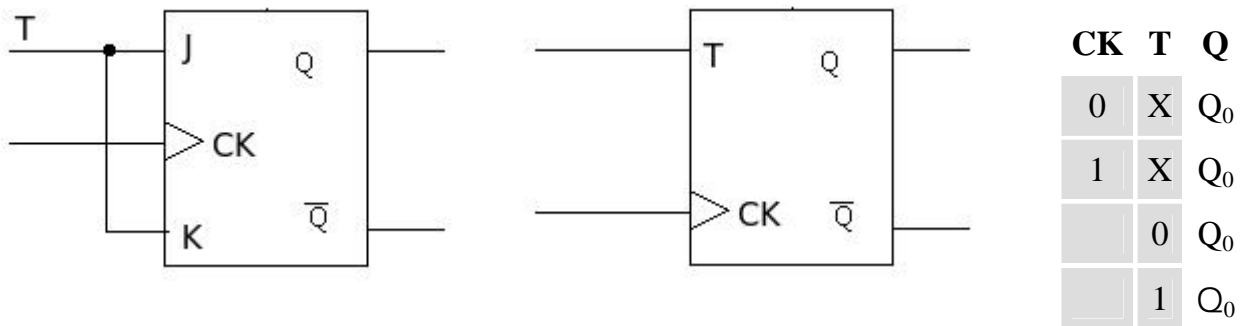
### Esercizio-2 Flip Flop D:

Assegnato il Flip Flop D di figura determinare il diagramma temporale completo.



## Flip flop T

Il Flip Flop T (toggle) può essere facilmente ottenuto dal FF JK collegando insieme i due ingressi:



Simbolo elettrico e tabella di verità del flip flop T sono mostrati in figura

Questo flip flop presenta solo due modi di funzionamento:

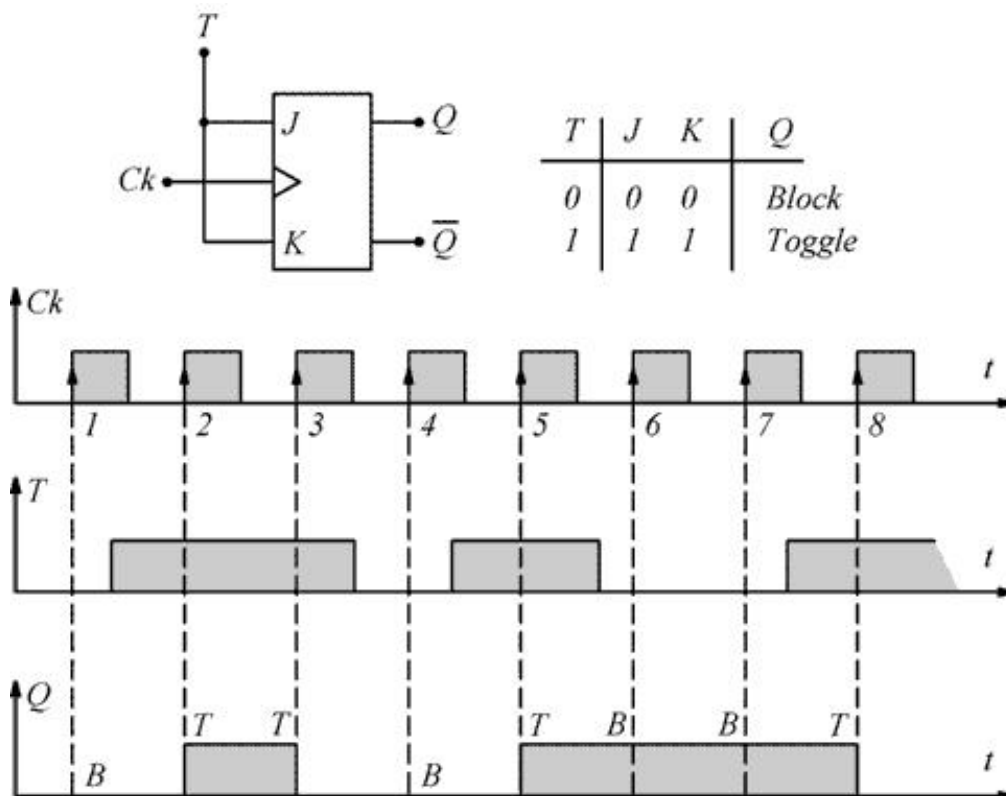
1. se  $T=0$  ( $J=0$  e  $K=0$ ) il Flip Flop memorizza lo stato precedente ( $Q_0$ );
2. se  $T=1$  ( $J=1$  e  $K=1$ ) il flip flop cambia stato (toggle), l'uscita è uguale allo stato precedente negato ( $Q_0$  negato)

Il Flip Flop T è sempre sincrono, quindi il funzionamento è sempre sincronizzato col segnale di clock, nel nostro esempio il segnale è attivo sul fronte di salita.

Quando il clock non è attivo qualsiasi valore viene inserito sull'ingresso T (simbolo x sulla tabella) l'uscita è uguale allo stato precedente  $Q_0$  (vedi tabella)

Il Flip Flop T non è disponibile come circuito integrato, dato che può essere realizzato collegando insieme i due ingressi di un Flip Flop JK.

In figura è riportato un diagramma temporale che mostra il funzionamento descritto.



## Flip flop integrati

Il Flip Flop Set-Reset e il flip flop T non sono disponibili come circuiti integrati, mentre si trovano diverse versioni del flip flop JK per tutte le principali famiglie logiche. A titolo di esempio mostriamo la piedinatura del 7473, un integrato TTL contenente due ff JK *pilotati sul fronte di discesa* del clock (si noti l'ingresso asincrono di *clear*):

